



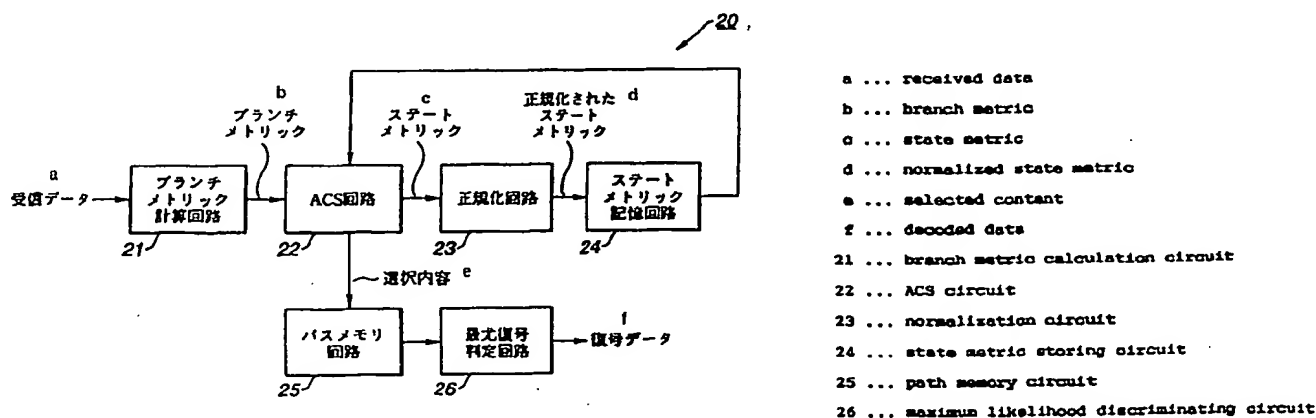
PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 H03M 13/12</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/18209</p> <p>(43) 国際公開日 1998年4月30日(30.04.98)</p>
<p>(21) 国際出願番号 PCT/JP97/03858</p> <p>(22) 国際出願日 1997年10月23日(23.10.97)</p> <p>(30) 優先権データ 特願平8/282751 1996年10月24日(24.10.96) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) ソニー株式会社(SONY CORPORATION)[JP/JP] 〒141 東京都品川区北品川6丁目7番35号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 村山 淳(MURAYAMA, Jun)[JP/JP] 〒141 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 小池 晃, 外(KOIKE, Akira et al.) 〒105 東京都港区虎ノ門二丁目6番4号 第11森ビル Tokyo, (JP)</p>		<p>(81) 指定国 JP, US.</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: DEVICE AND METHOD FOR VITERBI DECODING

(54)発明の名称 ビタビ復号装置及びビタビ復号方法



(57) Abstract

A branch metric calculation circuit (21) calculates branch metric based on an input signal and an ACS circuit (22) performs ACS processing for outputting state metric by selecting a path having high likelihood based on the branch metric, and stores the selected information obtained as a result of the ACS processing in a path memory circuit (25). Then, a normalization circuit (23) normalizes all state metric based on whether or not the only one state metric outputted as a result of the above-mentioned ACS processing is equal to or larger than a preset value, and stores the normalized state metric in a state metric storing circuit (24), and a maximum likelihood decoding and discriminating circuit (26) performs maximum likelihood discrimination for selecting the maximum likelihood path based on the selected information stored in the path memory circuit (25). Therefore, the circuit scale of the normalization circuit (23) which normalizes state metric can be reduced and the speed of viterbi decoding operations can be increased.

(57) 要約

入力信号に基づいてブランチメトリック計算回路21によりブランチメトリックを算出し、このブランチメトリックに基づいて尤度の高いパスを選択してステートメトリックを出力するACS処理をACS回路22により行い、このACS処理により得られた選択情報をパスメモリ回路25に記憶しておき、上記ACS処理によって出力されるただ1つのステートメトリックが予め定めた設定値以上であるか否かに基づいて正規化回路23により全てのステートメトリックの正規化処理を行い、正規化されたステートメトリックをステートメトリック記憶回路24に記憶し、上記パスメモリ回路25に記憶した選択情報に基づいて最尤復号判定回路26により最尤パスを選択する最尤復号判定処理を行う。これにより、ステートメトリックの正規化を行う正規化回路の回路規模を縮小すると共に、ビット復号動作の高速化を図る。

・PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LU	ルクセンブルグ	SZ	スワジランド
AT	オーストリア	GB	イギリス	LV	ラトヴィア	TD	チャド
AZ	アゼルバイジャン	GE	ジョージア	MC	モナコ	TG	トーゴ
BA	ボスニア・ヘルツェゴビナ	GH	ガナ	MD	モルドバ	TJ	タジキスタン
BB	バハマ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BF	ブルキナファソ	GW	ギニア・ビサウ	MK	マケドニア共和国	TR	トルコ
BG	ブルガリア	GU	グアム	ML	マリ	TT	トリニダード・トバゴ
BJ	ベナン	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
BR	ブラジル	IE	アイルランド	MR	モーリタニア	UG	ウガンダ
BY	ベラルーシ	IL	イスラエル	MW	モザンビーク	US	米国
CA	カナダ	IS	アイスランド	MX	メキシコ	UZ	ウズベキスタン
CC	中東アフリカ共和国	IT	イタリア	NE	ニジェール	VN	ベトナム
CG	コンゴ	JP	日本	NL	オランダ	YU	ユーゴスラビア
CH	スイス	KE	ケニア	NZ	ニュージーランド	ZW	ジンバブエ
CI	コートジボワール	KR	韓国	PL	ポーランド		
CM	カメルーン	KZ	カザフスタン	PT	ポルトガル		
CN	中国	LC	セントルシア	RO	ルーマニア		
CC	キプロス	LI	リヒテンシュタイン	RU	ロシア		
CZ	チェコ	LR	リベリア	SE	スウェーデン		
DE	ドイツ	LS	レソト	SG	シンガポール		
DK	デンマーク			SI	スロベニア		
EE	エストニア			SK	スロバキア		
				SL	シエラレオネ		

明 細 書

ビタビ復号装置及びビタビ復号方法

技 術 分 野

この発明は、畳み込み符号の最尤復号に使用されるビタビ復号装置及びビタビ復号方法に係り、詳しくは、ステートメトリックの正規化を行う正規化回路の回路規模を縮小すると共に、復号動作の高速化を図ったビタビ復号装置及びビタビ復号方法に関するものである。

背 景 技 術

従来より、畳み込み符号を復号する方式の 1 つとして、ビタビ復号方式が知られている。このビタビ復号方式は、畳み込み符号に対する最尤復号方式であり、送信側のエンコードから生成され得る符号系列の中から、受信された符号系列に最も近い系列（これを最尤パスという）を選ぶことで誤り訂正を行う。

ビタビ復号装置では、送信側から伝送路を通じて受信されたデータが入力されると、送信側のエンコードから生成され得る符号系列の中から、受信された符号系列に最も近い系列（これを最尤パスという）を選んで、この選択内容に基づいて復号データを生成する。

すなわち、ビタビ復号装置では、受信データが入力されると、この受信データのブランチメトリックをブランチメトリック計算回路により計算し、この計算結果（ブランチメトリック）をACS（Add Compare Select）回路へ供給する。そして、ACS回路は、ブランチメトリック計算回路から供給されるブランチメトリックとステートメトリック記憶回路から供給されるステートメトリック（累積和）に基づいて、ある状態に合流する2本のそれぞれのパスに対し、受信信号とパスとのハミング距離（ブランチメトリック）と、それまでのブランチメトリックのステートメトリックを加算して比較し、この比較結果に基づいて尤度の高いものを選択して、この選択内容をパスメモリ回路へ供給すると共に、新たに得られたステートメトリックを正規化回路へ供給する。

ここで、図1はビタビ復号における遷移ダイアグラムの一例を示す説明図である。拘束長が”3”の場合、各タイムスロット毎に、ある状態に合流する2本のそれぞれのパスに対し、受信信号とパスとのブランチメトリックと、それまでのブランチメトリックのステートメトリックとが加算されて比較され、この比較結果に基づいて尤度の高いものが選択される。

正規化回路は、ACS回路から出力されるステートメトリックを正規化して、予め設定されている範囲内の値にし、これをステートメトリック記憶回路へ供給する。ステートメトリック記憶回路は、正規化回路から供給される正規化されたステートメトリックを記憶し、これをACS回路へ戻す。また、パスメモリ回路は、ACS回路から出力される選択内容を記憶して、これを最尤復号判定回路へ供給する。最尤復号判定回路は、パスメモリ回路に記憶されている

選択内容に基づいて最尤のパスを判定して復号データを生成し、生成した復号データを出力する。

従来のビタビ復号装置では、例えば図 2 に示すような構成の正規化回路 10 が使用されていた。この正規化回路 10 は、最小値計算回路 11 と、複数の減算回路 12 とから構成されている。最小値計算回路 11 には、状態数分のステートメトリックが入力される。最小値計算回路 11 は、入力された全てのステートメトリックの中で最小値を計算し、最小ステートメトリックを出力する。各減算回路 12 は、各入力ステートメトリックから最小ステートメトリックを減算して、減算結果を正規化ステートメトリックとして出力する。

ところで、このようなビタビ復号装置では、正規化回路において ACS 回路から送られてくる全てのステートメトリックの中から最小値を求め、求めた最小値を補正值として出力し、この補正值を各ステートメトリックから減算することによって正規化を行い、正規化されたステートメトリックを得ている。

一般に、ビタビ復号においては、誤り訂正能力を高めるために符号の拘束長 K を大きくする。符号の拘束長 K に対して状態数は 2^{K-1} となる。このため、正規化回路において、毎タイムスロット、 2^{K-1} 個のステートメトリックの中から最小値を計算する処理が必要となる。

ACS 回路から正規化回路、ステートメトリック記憶回路を経て ACS 回路へ戻るフィードバックループ中で、 2^{K-1} 個のステートメトリックの中から最小値を検出するという時間のかかる処理を行うことは、ビタビ復号装置全体の動作速度を低下させることになる。

また、正規化処理をステートメトリックとステートメトリック中

の最小値との減算によって行うため、拘束長 K を大きくした場合、上記正規化回路 10 では、 2^{K-1} 個の減算回路 12 が必要となり、回路規模が増大する。

この発明は、上述した課題を解決するためになされたもので、回路規模が小さくかつ高速動作が可能なビタビ復号装置を提供することを目的とする。また、この発明は、上述した課題を解決するためになされたもので、回路規模が小さくかつ高速動作を可能とするビタビ復号方法を提供することを目的とする。

発 明 の 開 示

図 3 は、全てのステートにおいてステートメトリックの最上位ビット (MSB) が論理「1」であることを検知した場合に最上位ビットを反転させる正規化処理の説明図である。全てのステートにおいてステートメトリックの最上位ビット (MSB) が論理「1」であることは、ステート数分の入力を有する論理積回路を用いることで検知できる。さらに、最上位ビット (MSB) を反転させることで正規化処理を行う方式は、構成が簡単で正規化処理が容易である。

ここで、図 4 を参照してステートメトリックの性質を説明する。この図 4 では、あるタイムスロットにおいて、全てのステートの中で、ステートメトリックが最小となるステートを S とする。さらに、メモリ数 m 分のタイムスロット進むと、かつてのステート S から現時点での全てのステートに到達するパスが通じる。ビタビ復号装置のメトリックが小さい方を選択するというアルゴリズムによって、

タイムスロット $T+m$ においてパスメモリ回路に入っているメトリック値は、ステート S から来るパスのメトリック値又はそれよりも小さい値である。

今、タイムスロット T におけるステート S のメトリック値を $m_{i n}$ 、メモリ数 m 分のタイムスロット進む間に加わるメトリックの値の幅を $0 \sim B_{m a x}$ とすると、タイムスロット $T+m$ における全てのステートのステートメトリック値は、

$$m_{i n} \sim m_{i n} + B_{m a x}$$

の間に収まる。すなわち、あるタイムスロットにおけるステートメトリック値は、常に幅 $B_{m a x}$ 内に収まっている。

あるタイムスロットにおいて、1つのステートのステートメトリック V を取り出して、同じタイムスロットにおける他のステートメトリックとの関係を見た場合、ステートメトリック値が常に幅 $B_{m a x}$ 内に収まっていることから次のことが言える。

あるステートのステートメトリック： V

他のステートのステートメトリック： V'

$$V - B_{m a x} \leq V' \leq V + B_{m a x}$$

すなわち、あるタイムスロットにおいて、1つのステートのステートメトリック V を見ると、他のステートのステートメトリックは $V \pm B_{m a x}$ の間にあることが分かる。

本発明では、この性質を、ステートメトリック記憶回路に格納されている複数のステートメトリックの最上位ビット (MSB) が全て論理「1」であることの検知に用いる。

ステートメトリック記憶回路を n ビットとすると、最上位ビット (MSB) が表す値は、 2^{n-1} となる。ここで、あるステートメ

リック V をとったとき、

$$V \geq 2^{n-1} + B_{\max}$$

であったとすると、前述のステートメトリックの性質から、他のステートメトリック V' は $V \pm B_{\max}$ の間、つまり、

$$V - B_{\max} \leq V' \leq V + B_{\max}$$

であることから、

$$2^{n-1} \leq V'$$

であることが言える。これは、全てのステートメトリックの値が、 2^{n-1} 以上、すなわち、最上位ビット (MSB) が論理「1」であることを示している。

よって、ある1つのステートのステートメトリックが $2^{n-1} + B_{\max}$ 以上である状態を検知することによって、正規化処理が必要であることが分かる。

したがって、全てのステートにおいてステートメトリックの最上位ビットが論理「1」であること (全ステートメトリックの最上位ビット (MSB) の論理積をとる) によって正規化処理が必要であることを検知する方式は、1つのステートのステートメトリックが $2^{n-1} + B_{\max}$ 以上である状態を検知する方式によって代替することができる。

次にステートメトリック記憶回路のメモリサイズを検討する。前提条件は次の3つである。

(条件1) 1タイムスロットの間に加わるメトリックの幅 :

0 ~ b

(条件2) メモリ数 m 分のタイムスロットの間に加わるメトリック

の幅 : 0 ~ B_{\max}

(条件3) 正規化は、数個(1～全て)のステートが、一定値M以上であることを検知した時に行われる。

考え方は次の通りである。

(1) あるタイムスロットにおいて正規化が必要であると検知されたとする。

(2) 1タイムスロット前では、監視されていたステートの内、少なくとも1つのメトリック値は、 $M-b$ から $M-1$ までの間にあったはずである。

(3) 1タイムスロット前に $M-b$ から $M-1$ までの値をとっていたステートのメトリック値は、 $0\sim b$ の間の値を1タイムスロットの間に加えられることによって、 $M\sim M-1+b$ の間の値になったと考えられる。

(4) この時の他のステートのメトリックの最大値は、 $M-1+b$ にさらに B_{max} を加えた値、つまり、 $M-1+b+B_{max}$ 以下である。

(5) よって、オーバーフローを起こさないためには、ステートメトリック記憶回路(ステートメトリックメモリ)のメモリサイズは、 $M-1+b+B_{max}$ 以上であることが必要である。

次に、全ステートメトリックの最上位ビット(MSB)の論理積をとる方式と、1つのステートのステートメトリックが $2^{n-1}+B_{max}$ 以上である状態を検知する方式と、従来の最小値検出方式との3方式において、どれだけの大きさのパスメモリを必要とするかを考察する。

(方式1) 全ステートメトリックの最上位ビットの論理積をとる

方式

ステートメトリックメモリが n ビットであるとする、この方式 1 では、全てのステートメトリックメモリに格納されているメトリック値が、 2^{n-1} 以上であることを見ていることに相当する。

各タイムスロット毎にこの検知方式を行っていると、1 タイムスロットに加わるメトリックの値の幅を $0 \sim b$ とし、メモリ数分のタイムスロットに加わるメトリックの値の幅を $0 \sim B_{max}$ とした場合、正規化が必要であると検知されたタイムスロットにおける最小メトリック値が、どの程度の値の幅を持つのかを考える。

まず、正規化が必要であると検知されたタイムスロットよりも 1 タイムスロット前においては、ステートメトリックメモリの内の少なくとも 1 つは最上位ビット (MSB) は論理「1」でなかったはずである。そして、次のタイムスロットにおいて、正規化が必要であると検知されたことによって、1 タイムスロットの間に $0 \sim b$ の範囲にあるメトリック値が加えられ、最上位ビット (MSB) が論理「0」から論理「1」へ変化したと考えられる。

よって、正規化が必要であると検知されたタイムスロットよりも 1 タイムスロット前において、ステートメトリックメモリの中で最上位ビット (MSB) が論理「0」であるメトリックのとり得る値は、

$$2^{n-1} - b \sim 2^{n-1} - 1$$

であったことが分かる。

1 タイムスロット間に $0 \sim b$ のメトリックが加えられることによって最上位ビット (MSB) が論理「1」になるわけであるから、

最上位ビット (MSB) が論理「1」になった時にとる値の範囲は、

$$2^{n-1} \sim 2^{n-1} - 1 + b$$

となる。

すなわち、正規化が必要であることが検知されたタイムスロットにおける全ステートメトリックメモリ中での最小メトリック値の範囲は、 $2^{n-1} \sim 2^{n-1} - 1 + b$ である。

ステートメトリックの性質からあるタイムスロットにおけるステートメトリック値は、常に幅 B_{max} 内に収まっていることが分かっているので、全ステートメトリックメモリ中のメトリック値 (ステートメトリック) の最大値は、最小メトリック値の最大 $2^{n-1} - 1 + b$ に B_{max} を加えた $2^{n-1} - 1 + b + B_{max}$ 以内であることが分かる。つまり、ステートメトリックメモリのメモリサイズがこれ以上であればオーバーフローを起こさない。

ステートメトリックメモリの最大値は $2^n - 1$ であるので、必要な条件は

$$2^n - 1 \geq 2^{n-1} - 1 + b + B_{max}$$

となる。ここで、 $B_{max} = b \cdot m$ であることを考慮に入れて、ステートメトリックメモリのビット数 n についてまとめると、

$$2^n - 2^{n-1} \geq b + b \cdot m$$

$$2^{n-1} \geq (m+1) b$$

$$n-1 \geq \log_2 (m+1) b$$

$$n \geq \log_2 (m+1) b + 1$$

となる。

例えば、DVB規格では、メモリ数 m が 6、1 タイムスロットに加わる最大メトリック b が 14 (7×2) であるから、必要なステ

ートメトリックメモリのビット数 n は、

$$n \geq \log_2 (6 + 1) \times 14 + 1$$

$$n \geq \log_2 98 + 1$$

$$n \geq 7.61$$

となり、8ビットが必要である。

(方式2) 1つのステートのステートメトリックが $2^{n-1} + B_{max}$ 以上である状態を検知する方式

正規化が必要であると検知されたタイムスロットよりも1タイムスロット前において、注目しているステートのメトリック値がとる値の範囲は、

$$2^{n-1} + B_{max} - b \sim 2^{n-1} + B_{max} - 1$$

である。

1タイムスロット間に、0～ b のメトリックを加えられたことによって値が $2^{n-1} + B_{max}$ 以上になるわけであるから、正規化が必要であると検知されたタイムスロットにおいてとる値の範囲は、

$$2^{n-1} + B_{max} \sim 2^{n-1} + B_{max} - 1 + b$$

となる。

ステートメトリックメモリのメモリサイズの条件を求めるために、この時の他のステートにおけるメトリックの最大値について考えると、注目ステートのメトリック値に B_{max} を足した値である

$$2^{n-1} + B_{max} - 1 + b + B_{max} = 2^{n-1} + 2B_{max} + b - 1$$

よりも小さい。つまり、ステートメトリックメモリのメモリサイズ

がこれ以上であれば、オーバーフローは起こさない。ステートメトリックメモリの最大値は $2^n - 1$ であるので、必要な条件は、

$$2^n - 1 \geq 2^{n-1} + 2B_{max} + b - 1$$

となる。

ここで、 $B_{max} = b \cdot m$ であることを考慮に入れて、ステートメトリックメモリのビット数についてまとめると、

$$2^n - 2^{n-1} \geq 2 \times b \cdot m + b$$

$$2^{n-1} \geq (2m + 1) b$$

$$n - 1 \geq \log_2 (2m + 1) b$$

$$n \geq \log_2 (2m + 1) b + 1$$

となる。

例えば、DVB規格では、メモリ数 m が 6、1 タイムスロットに加わる最大メトリック b が 14 (7×2) であるから、必要なステートメトリックメモリのビット数 n は、

$$n \geq \log_2 (2 \times 6 + 1) \times 14 + 1$$

$$n \geq \log_2 182 + 1$$

$$n \geq 8.51$$

となり、9 ビットが必要である。

(方式3) 従来の最小値検出方式 (全ステートメトリックメモリ中の最小値を検出し、検出した最小値を減算することで正規化を行う方式)

正規化が行われるタイムスロットよりも1タイムスロット前では、1タイムスロット前での最小値減算の正規化処理によって必ずメ

リック値 0 を持つ状態がある。これから 1 タイムスロット経過した時の最小メトリックは、1 タイムスロット前にメトリック値 0 を持っていた状態のメトリックに $0 \sim b$ を足した値よりも小さい。よって、値の存在する範囲は、 $0 \sim b$ の間であることが言える。

状態メトリックメモリのメモリサイズの条件を求めるために、この時の他の状態におけるメトリックの最大値を考えると、最小値メトリックに B_{max} を足した値の最大である $b + B_{max}$ よりも小さい。つまり、状態メトリックメモリのメモリサイズがこれ以上であれば、オーバーフローを起こさない。

状態メトリックメモリの最大値は $2^n - 1$ であるので、必要な条件は、

$$2^n - 1 \geq b + B_{max}$$

となる。ここで、 $B_{max} = b \cdot m$ であることを考慮に入れて、状態メトリックメモリのビット数についてまとめると、

$$2^n \geq b + b \cdot m + 1$$

$$n \geq \log_2 \{ (m + 1) b + 1 \}$$

となる。

例えば、DVB 規格では、メモリ数 m が 6、1 タイムスロットに加わる最大メトリック b が 14 (7×2) であるから、必要な状態メトリックメモリのビット数 n は、

$$n \geq \log_2 \{ (6 + 1) \times 14 + 1 \}$$

$$n \geq \log_2 99$$

$$n \geq 6.63$$

となり、7 ビットが必要である。

ここで、それぞれの方式で必要とされる状態メトリックメモ

リのビット数 n を、ビット数 n の少ない順に並べると、

(方式 3) 従来の最小値検出方式

$$n \geq \log_2 \{ (m+1) b + 1 \}$$

DVB では 7 ビット

(方式 1) 全ステートメトリックの最上位ビットの論理積をとる方式

$$n \geq \log_2 (m+1) b + 1$$

DVB では 8 ビット

(方式 2) 1 つのステートのステートメトリックが $2^{n-1} + B_{max}$ 以上である状態を検知する方式 (方式 1 の代替方式)

$$n \geq \log_2 (2m+1) b + 1$$

DVB では 9 ビット

となる。

次に、DVB の規格における正規化回路を、1 つのステートのステートメトリックが $2^{n-1} + B_{max}$ 以上である状態を検知する方式 (代替方式) について考える。DVB 規格では、メモリ数 m は 6、1 タイムスロットに加わるメトリックの最大値 b は 14 (7×2)、メモリ数分のタイムスロットに加わるメトリックの最大値 B_{max} は 84 (14×6) である。

まず、ステートメトリックメモリのビット数が 9 ビット必要であることは、前述の通りである。問題となるのは正規化が必要であることを検知する回路であるが、これはあるステートのメトリック値が $2^{n-1} + B_{max} = 256 + 84 = 340$ 以上であることを検知する回路となる。

前述したように、あるステートの値が M 以上であることを検知し

て正規化を行う場合、その時の他のステートメトリック値の上限は、 $M - 1 + b + B_{max}$ 、つまりDVBの場合では $M + 97$ になる。今、 M を384とすると、 $384 \geq 340$ であるから正規化を行ってもよい条件に合致し、なおかつ、 $M + 97 = 481$ であるから、ステートメトリックメモリのメモリサイズ $2^9 - 1 = 511$ 以内に全てのメトリックの値が収まることになる。

このように、一般に任意のタイムスロットにおけるステートメトリックの値は、符号化器の構成によって決まるある値 B 以内の範囲しかとり得ないことが分かっている。これにより、予め正規化によって減算する値 W を決めると、1つのステートの値が $B + W$ であることを確認するだけで、他の全てのステートメトリックの値が W 以上であることが分かり、 W を減算することによる正規化が行える。ここで、 W を予め減算しやすい値に設定しておくと、減算回路の構成が簡略化ができ回路規模を小さくできる。例えば、 W をステートメトリックの最上位ビットに相当する値に設定すると、ステートメトリックから W を減算する処理は、最上位ビットの反転のみになる。

そこで、この発明では、従来の問題点を課題を解決するために、上述したステートメトリックの性質を利用し、ステートメトリックの正規化を行う正規化回路において、ただ1つのステートメトリックが予め定めた設定値以上であるか否かに基づいて、全てのステートメトリックの正規化を最上位ビットの反転、又は、予め定めた値の減算で行う。

すなわち、本発明に係るビタビ復号装置は、入力信号に基づいてブランチメトリックを計算するブランチメトリック計算回路と、上記ブランチメトリック計算回路で計算されたブランチメトリックに

基づいて尤度の高いパスを選択してステートメトリックを出力するACS回路と、このACS回路によって得られた選択情報を記憶するパスメモリ回路と、上記ACS回路から出力されたステートメトリックを正規化する正規化回路と、この正規化回路で正規化されたステートメトリックを記憶するステートメトリック記憶回路と、上記パスメモリ回路の記憶内容に基づいて最尤パスを選択する最尤復号判定回路とを有するビタビ復号装置であって、上記正規化回路において、上記ACS回路から出力されるただ1つのステートメトリックが、予め定めた設定値以上であるか否かに基づいて、全てのステートメトリックの正規化処理を行うことを特徴とする。

本発明に係るビタビ復号装置において、上記正規化回路は、例えば、上記ステートメトリックの最上位ビットと最上位ビットより下位の数ビットとの論理積をとることによって、全てのステートメトリックの正規化処理を行う際の、ステートメトリックが予め定めた設定値以上であるか否かの判断を行う。

また、本発明に係るビタビ復号装置において、上記正規化回路は、例えば、全てのステートメトリックの最上位ビットを反転させることによって、上記正規化処理を行う。

また、本発明に係るビタビ復号装置において、上記正規化回路は、例えば、上記正規化処理を全てのステートメトリックから予め定めた値を減算することによって行う。

また、本発明に係るビタビ復号装置において、上記正規化回路は、例えば、上記ステートメトリックの最上位ビットと最上位ビットより下位の数ビットとの論理和をとることによって、上記正規化処理を行う際の、上記ステートメトリックが予め定めた設定値以上であ

るか否かの判断を行う。

さらに、本発明に係るビタビ復号装置において、上記正規化回路は、全てのステートメトリックから予め定めた値を減算することによって上記正規化処理を行う。

このように、ただ1つのステートメトリックが予め定めた設定値以上であるか否かを判断する処理と、最上位ビットの反転又は予め定めた値を減算することによる正規化処理との2つの簡便な処理によって、正規化処理を行うことができる。従来のビタビ復号装置の正規化回路のように、最小値検出処理と検出した最小値を減算する処理とを組み合わせた構成に比べ、この発明に係るビタビ復号装置は、回路規模を小さくできると共に、高速動作が可能となる。

また、本発明に係るビタビ復号方法は、入力信号に基づいてブランチメトリックを算出し、このブランチメトリックに基づいて尤度の高いパスを選択してステートメトリックを出力するACS処理を行い、このACS処理により得られた選択情報を記憶しておき、上記ACS処理によって出力されるただ1つのステートメトリックが予め定めた設定値以上であるか否かに基づいて全てのステートメトリックの正規化処理を行い、正規化されたステートメトリックを記憶し、上記記憶した選択情報に基づいて最尤パスを選択する最尤復号判定処理を行うことを特徴とする。

本発明に係るビタビ復号方法では、例えば、ステートメトリックの最上位ビットと最上位ビットより下位の数ビットとの論理積をとることによって、上記正規化処理を行う際の、1つのステートメトリックが予め定めた設定値以上であるか否かの判断を行う。

また、本発明に係るビタビ復号方法では、例えば、ステートメト

リックの全ての最上位ビットを反転させることによって、上記正規化処理を行う。

また、本発明に係るビタビ復号方法では、例えば、全てのステートメトリックから予め定めた値を減算することによって、上記正規化処理を行う。

また、本発明に係るビタビ復号方法では、例えば、ステートメトリックの最上位ビットと最上位ビットより下位の数ビットとの論理和をとることによって、上記正規化処理を行う際の、1つのステートメトリックが予め定めた設定値以上であるか否かの判断を行う。

さらに、また、本発明に係るビタビ復号方法では、例えば、全てのステートメトリックから予め定めた値を減算することによって、上記正規化処理を行う。

図面の簡単な説明

図1は、ビタビ復号における遷移ダイアグラムの一例を示す説明図である。

図2は、従来のビタビ復号装置における正規化回路の構成例を示すブロック構成図である。

図3は、全てのステートにおいてステートメトリックの最上位ビットが1であることを検知した場合に最上位ビットを反転させる正規化処理の説明図である。

図4は、ステートメトリックの性質を示す説明図である。

図5は、この発明に係るビタビ復号装置の構成例を示すブロック

構成図である。

図 6 は、この発明に係るビタビ復号装置における正規化回路の構成例を示すブロック構成図である。

図 7 は、正規化検知回路の第 1 の構成例を示す回路構成図である。

図 8 は、正規化検知回路の第 2 の構成例を示す回路構成図である。

図 9 は、正規化検知回路の第 3 の構成例を示す回路構成図である。

図 10 は、正規化検知回路の第 4 の構成例を示す回路構成図である。

図 11 は、正規化処理回路の構成例をブロック構成図である。

図 12 は、メトリック正規化回路の第 1 の構成例を示す回路構成図である。

図 13 は、メトリック正規化回路の第 2 の構成例を示す回路構成図である。

図 14 は、この発明に係るビタビ復号装置の他の構成例を示すブロック構成図である。

発明を実施するための最良の形態

以下、本発明を実施するための最良の形態を図面を参照しながら詳細に説明する。

この発明に係るビタビ復号装置は、例えば図 5 に示すように構成される。この図 5 に示したビタビ復号装置 20 は、ブランチメトリック計算回路 21 と、ACS (Add Compare Select) 回路 22 と、正規化回路 23 と、ステートメトリック記憶回路 24 と、パスメモ

リ回路 25 と、最尤復号判定回路 26 とからなる。

正規化回路 23 は、図 6 に示すように、正規化検知回路 31 と、正規化処理回路 32 とからなる。

正規化検知回路 31 は、入力ステートメトリックの内 1 つのステートメトリックを入力とし、それが予め定めた設定値 W 以上であるか否かを判断する。正規化検知回路 31 は、入力ステートメトリックが設定値 W 以上であった場合、正規化検知信号として論理「1」を出力し、そうでない場合は論理「0」を出力する。また、正規化処理回路 32 は、正規化検知信号が論理「0」の場合は、入力ステートメトリックをそのまま正規化ステートメトリックとして出力し、正規化検知信号が論理「1」の場合は、最上位ビットの反転、又は、予め定めた値を減算することで正規化処理を行って、正規化されたステートメトリックを出力する。

図 7 は正規化検知回路 31 の第 1 の構成例を示す回路構成図である。入力された 1 つのステートメトリック信号 s ビットの内、最上位ビット信号 $D1$ と、最上位ビット (MSB) より 1 つ下のビットの信号 $D2$ との論理積が論理積回路 41 によってとられ、論理積出力が正規化検知信号として出力される。この構成によって、ステートメトリックが $2^{s-1} + 2^{s-2}$ 以上の値である時に、正規化検知信号として論理「1」が出力される。

図 8 は正規化検知回路 31 の第 2 の構成例を示す回路構成図である。入力された 1 つのステートメトリック信号 s ビットの内、最上位ビット信号 $D1$ と、最上位ビット (MSB) より下位の合計 m ビットの信号 $D1 \sim Dm$ の論理積が論理積回路 42 によってとられ、論理積出力が正規化検知信号として出力される。この構成によって、

ステートメトリックが $2^{s-1} + 2^{s-2} + \dots + 2^{s-m}$ 以上の値である時に、正規化検知信号として論理「1」が出力される。

図9は正規化検知回路31の第3の構成例を示す回路構成図である。入力された1つのステートメトリック信号sビットの内、最上位ビット信号D1と、最上位ビット(MSB)より1つ下の信号D2との論理和が論理和回路43によってとられ、論理和出力が正規化検知信号として出力される。この構成によって、ステートメトリックが 2^{s-2} 以上の値である時に、正規化検知信号として論理「1」が出力される。

図10は正規化検知回路31の第4の構成例を示す回路構成図である。入力された1つのステートメトリック信号sビットの内、最上位ビットと最上位ビット(MSB)より下位の合計mビットの信号D1～Dmの論理和が論理和回路44によってとられ、論理和出力が正規化検知信号として出力される。この構成によって、ステートメトリックが 2^{s-m} 以上の値である時に、正規化検知信号として論理「1」が出力される。

図11は正規化処理回路32のブロック構成図である。入力されたステートメトリックは、正規化検知信号に基づいて正規化を行うメトリック正規化回路501～50nによって正規化が行われ、正規化メトリックとして出力される。

図12はメトリック正規化回路501～50nの第1の構成例を示す回路構成図である。セレクト回路51は、正規化検知信号の論理レベルが0の場合、最上位ビット信号D1をそのまま正規化最上位ビット信号QD1として出力し、正規化検知信号が論理「1」の場合、反転回路52によって反転された反転最上位ビット信号ND

1 を正規化最上位ビット信号 $QD1$ として出力する。

図 12 に示したメトリック正規化回路 501 ~ 50n は、入力ステートメトリック信号 s ビットの内の最上位ビット (MSB) より下位の $s - 1$ ビットと正規化最上位ビット信号 $QD1$ とをあわせて、正規化ステートメトリック信号として出力する。正規化検知信号が論理「1」である場合、図 8 に示したメトリック正規化回路 501 ~ 50n で行われる処理は、ステートメトリックから 2^{-1} の減算を行うことに相当する。

図 13 はメトリック正規化回路 501 ~ 50n の第 2 の構成例を示す回路構成図である。入力されたステートメトリックの最上位ビット信号 $D1$ と、最上位ビット (MSB) より下位の 1 ビットの信号 $D2$ は、反転回路 53、2 個の論理積回路 54、55、論理和回路 56、2 個のセレクト回路 57、58 からなる論理回路によって正規化が行われ、下位の $s - 2$ ビットとあわせて、正規化ステートメトリック信号として出力される。

第 1 の論理積回路 54 は、最上位ビット信号 $D1$ と最上位ビット (MSB) より下位の 1 ビットの信号 $D2$ との論理積をとって出力する。第 1 の論理積回路 54 の論理積出力は、第 1 のセレクト回路の他方の入力端子 (1 と記した端子) へ供給されると共に、論理和回路 56 の一方の入力端子へ供給される。反転回路 53 は、最上位ビット信号 $D1$ を反転させて反転最上位ビット信号を第 2 の論理積回路 55 の一方の入力端子へ供給する。第 2 の論理積回路 55 は、反転最上位ビット信号と最上位ビット (MSB) より下位の 1 ビットの信号 $D2$ との論理積をとって、論理積出力を論理和回路 56 の他方の入力端子へ供給する。論理和回路 56 の論理和出力は第 2 の

セクタ回路 58 の他方の入力端子（1 と記した端子）へ供給される。第 1 のセクタ回路 57 の一方の入力端子（0 と記した端子）には、最上位ビット信号 D1 が供給される。第 2 のセクタ回路 58 の一方の入力端子（0 と記した端子）には、最上位ビット（MSB）より下位の 1 ビットの信号 D2 が供給される。

各セクタ回路 57, 58 は、正規化検知信号が論理「0」の場合、一方の入力端子（0 と記した端子）に供給されている信号を選択して出力し、正規化検知信号が論理「1」の場合、他方の入力端子（1 と記した端子）に供給されている信号を選択して出力する。

正規化検知信号が論理「1」である場合、図 13 に示したメトリック正規化回路 501 ~ 50n で行われる処理は、ステートメトリックから 2^{-2} の減算を行うことに相当する。

このように、この実施の形態においては、ステートメトリックの正規化を行う正規化回路 23 において、ただ 1 つのステートメトリックが予め定めた設定値以上であるか否かに基づいて、全てのステートメトリックの正規化を、最上位ビット（MSB）の反転、又は、予め定めた値の減算によって行う構成としているので、回路規模が小さく、高速に動作するビタビ復号装置 20 を実現することができる。

特に、正規化回路 23 中の正規化検知回路 31 と正規化処理回路 32 を、図 7 に示した正規化検知回路 41 の第 1 の構成例と図 11, 図 12 に示した正規化処理回路 42 の構成例とを組み合わせる場合、正規化検知回路 41 は 1 つの論理積回路で構成でき、正規化処理回路 42 はセレクト回路 51 と反転回路 52 とをステート数分設けることで構成できるので、回路が非常に小規模で、かつ、高

速に動作する回路を実現できる。

図14はこの発明に係る他のビタビ復号装置30のブロック構成図である。

図14に示すビタビ復号装置30は、上述のビタビ復号装置20における正規化回路23の前段にクリップ回路40を設けたものである。このビタビ復号装置30において、クリップ回路40以外の構成は、上述のビタビ復号装置20と同じなので同一構成要素に同一番号を付して、その詳細な説明を省略する。正規化処理によって減算を行う値 W を非常に小さく設定した場合、正規化回路23によって正規化を行う前に、ステートメトリックのオーバーフローが起こる可能性がでてくる。このような場合、正規化回路23の前段に、ステートメトリックのクリッピングを行うクリップ回路40を設けることで、正規化前に起こるステートメトリックのオーバーフローによる悪影響を抑えることができ、その結果、本実施例で説明した正規化手法を、減算値 W が小さく場合にも適用可能となる。

以上説明したように本発明では、正規化回路並びに正規化処理を、ただ1つのステートメトリックが予め定めた設定値以上であるか否かを判断する処理と、最上位ビット(MSB)の反転又は予め定めた値を減算することによる正規化処理との2つの簡便な処理の組合せで実現したので、従来の最小値検出処理と最小値の減算の組合せによる構成に比べ、回路規模が小さく、高速に動作するビタビ復号装置を実現することができる。

請 求 の 範 囲

1. 入力信号に基づいてブランチメトリックを計算するブランチメトリック計算回路と、上記ブランチメトリック計算回路で計算されたブランチメトリックに基づいて尤度の高いパスを選択してステートメトリックを出力するACS回路と、このACS回路によって得られた選択情報を記憶するパスメモリ回路と、上記ACS回路から出力されたステートメトリックを正規化する正規化回路と、この正規化回路で正規化されたステートメトリックを記憶するステートメトリック記憶回路と、上記パスメモリ回路の記憶内容に基づいて最尤パスを選択する最尤復号判定回路とを有するビタビ復号装置であって、上記正規化回路は、上記ACS回路から出力されるただ1つのステートメトリックが、予め定めた設定値以上であるか否かに基づいて、全てのステートメトリックの正規化処理を行うことを特徴とするビタビ復号装置。

2. 上記正規化回路は、全てのステートメトリックの正規化処理を行う際の、ステートメトリックが予め定めた設定値以上であるか否かの判断を、上記ステートメトリックの最上位ビットと最上位ビットより下位の数ビットとの論理積をとることによって行うことを特徴とする請求項1記載のビタビ復号装置。

3. 上記正規化回路は、上記正規化処理を全てのステートメトリックの最上位ビットを反転させることによって行うことを特徴とする請求項2記載のビタビ復号装置。

4. 上記正規化回路は、上記正規化処理を全てのステートメトリ

ックから予め定めた値を減算することによって行うことを特徴とする請求項 2 記載のビタビ復号装置。

5. 上記正規化回路は、上記正規化処理を行う際の、上記ステートメトリックが予め定めた設定値以上であるか否かの判断を、上記ステートメトリックの最上位ビットと最上位ビットより下位の数ビットとの論理和をとることによって行うことを特徴とする請求項 1 記載のビタビ復号装置。

6. 上記正規化回路は、上記正規化処理を全てのステートメトリックから予め定めた値を減算することによって行うことを特徴とする請求項 5 記載のビタビ復号装置。

7. 入力信号に基づいてブランチメトリックを算出し、このブランチメトリックに基づいて尤度の高いパスを選択してステートメトリックを出力する ACS 処理を行い、この ACS 処理により得られた選択情報を記憶しておき、上記 ACS 処理によって出力されるただ 1 つのステートメトリックが予め定めた設定値以上であるか否かに基づいて全てのステートメトリックの正規化処理を行い、正規化されたステートメトリックを記憶し、上記記憶した選択情報に基づいて最尤パスを選択する最尤復号判定処理を行うことを特徴とするビタビ復号方法。

8. 上記正規化処理を行う際の、1 つのステートメトリックが予め定めた設定値以上であるか否かの判断を、ステートメトリックの最上位ビットと最上位ビットより下位の数ビットとの論理積をとることによって行うことを特徴とする請求項 7 記載のビタビ復号方法。

9. 上記正規化処理を、ステートメトリックの全ての最上位ビットを反転させることによって行うことを特徴とする請求項 8 記載の

ビタビ復号方法。

10. 上記正規化処理を、全てのステートメトリックから予め定めた値を減算することによって行うことを特徴とする請求項8記載のビタビ復号方法。

11. 上記正規化処理を行う際の、1つのステートメトリックが予め定めた設定値以上であるか否かの判断を、ステートメトリックの最上位ビットと最上位ビットより下位の数ビットとの論理和をとることによって行うことを特徴とする請求項7記載のビタビ復号方法。

12. 上記正規化処理を、全てのステートメトリックから予め定めた値を減算することによって行うことを特徴とする請求項11記載のビタビ復号方法。

1/12

遷移ダイアグラム

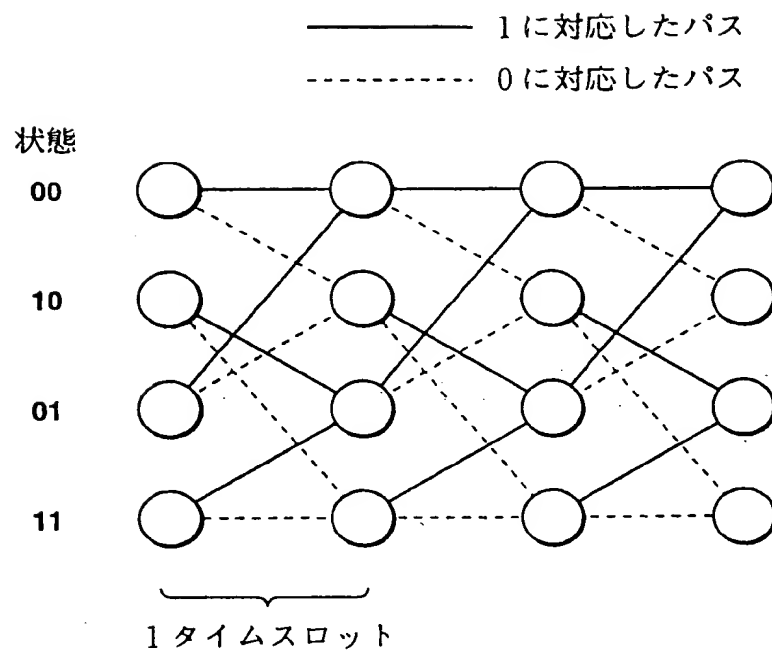


FIG.1

2/12

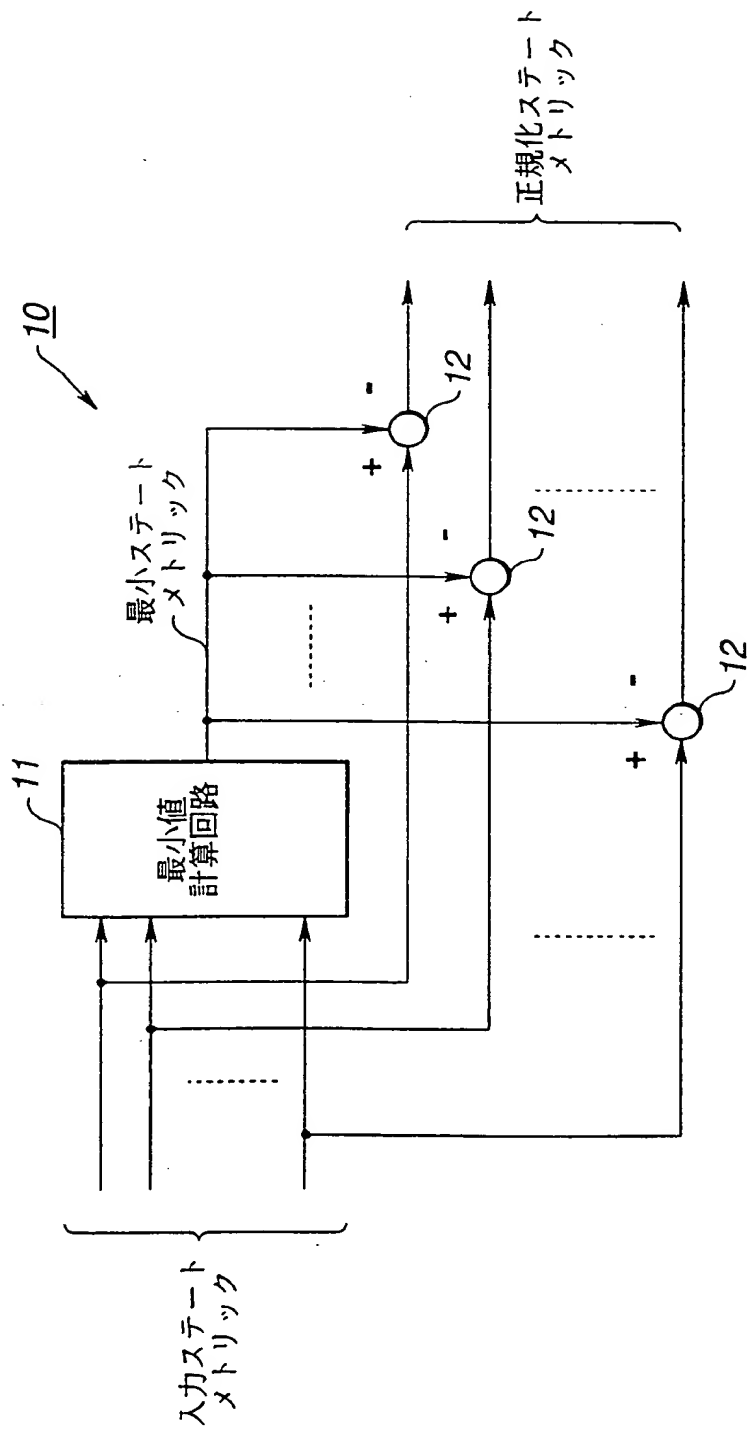


FIG.2

3/12

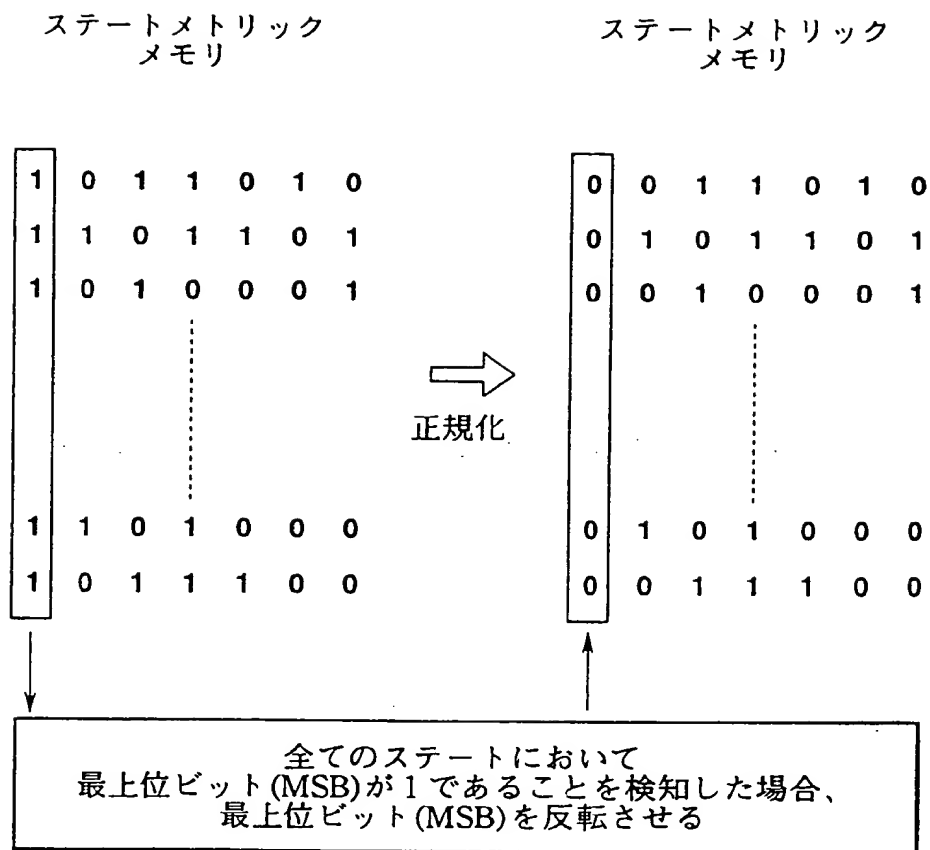


FIG.3

4/12

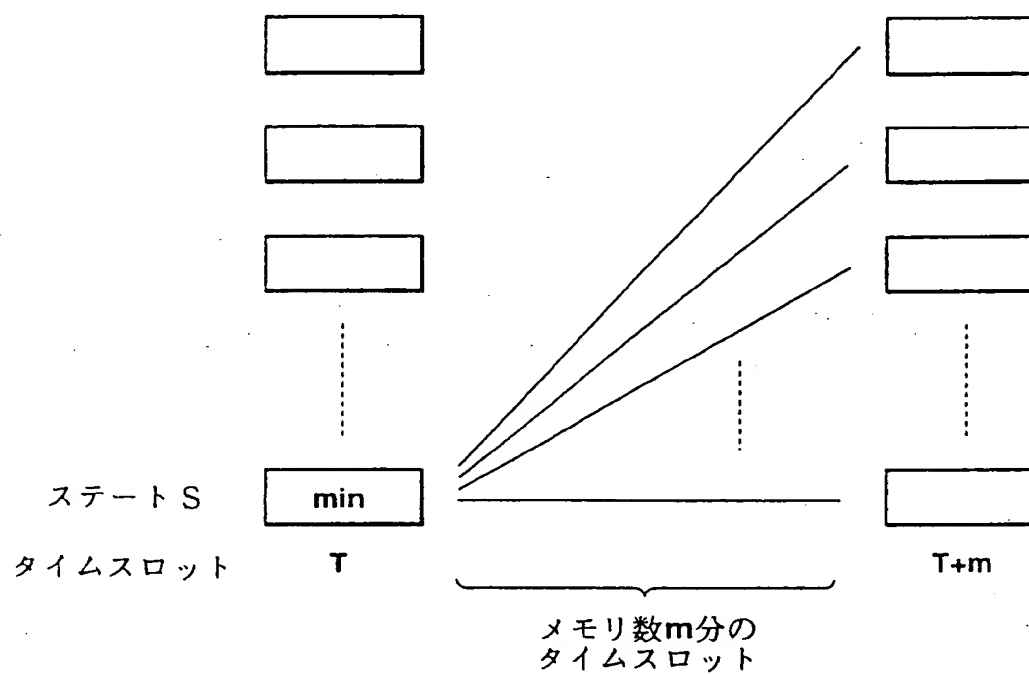


FIG.4

5/12

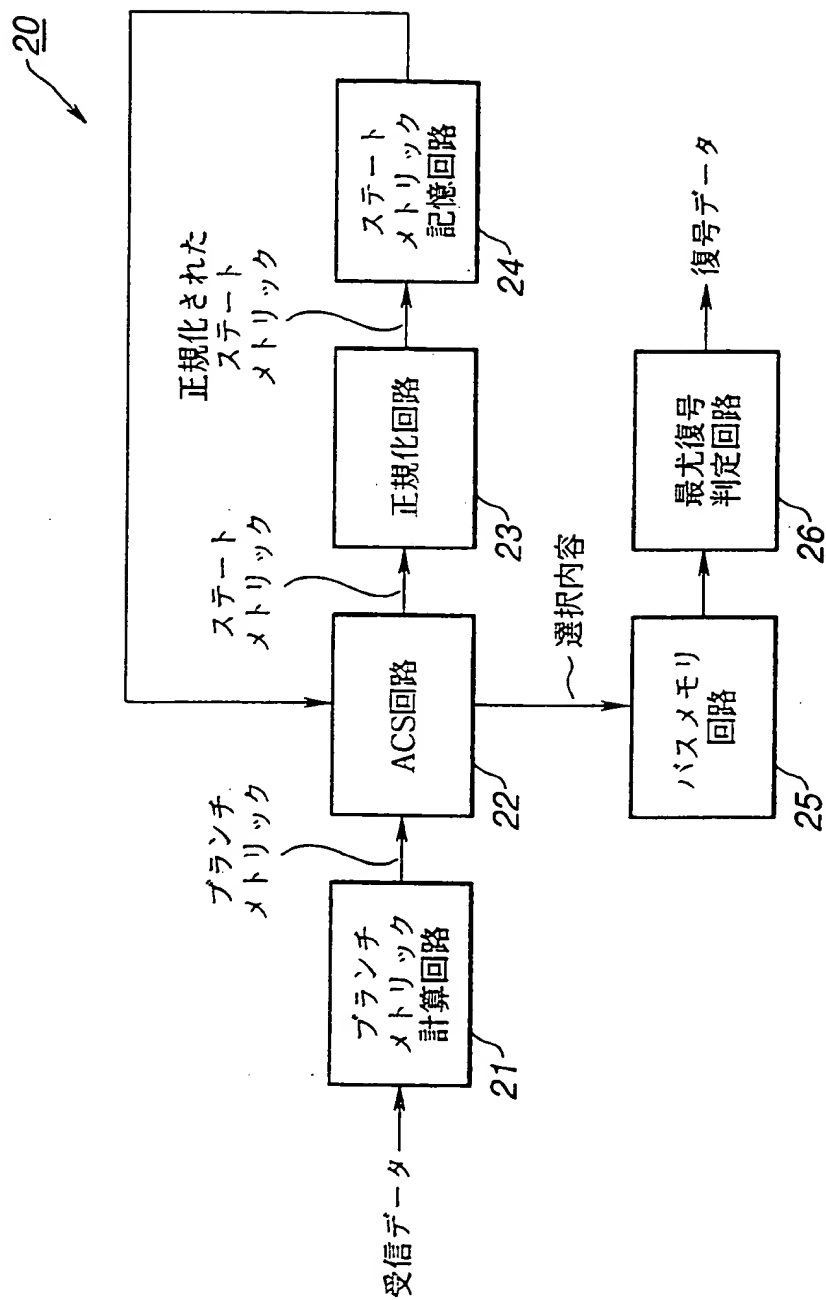


FIG.5

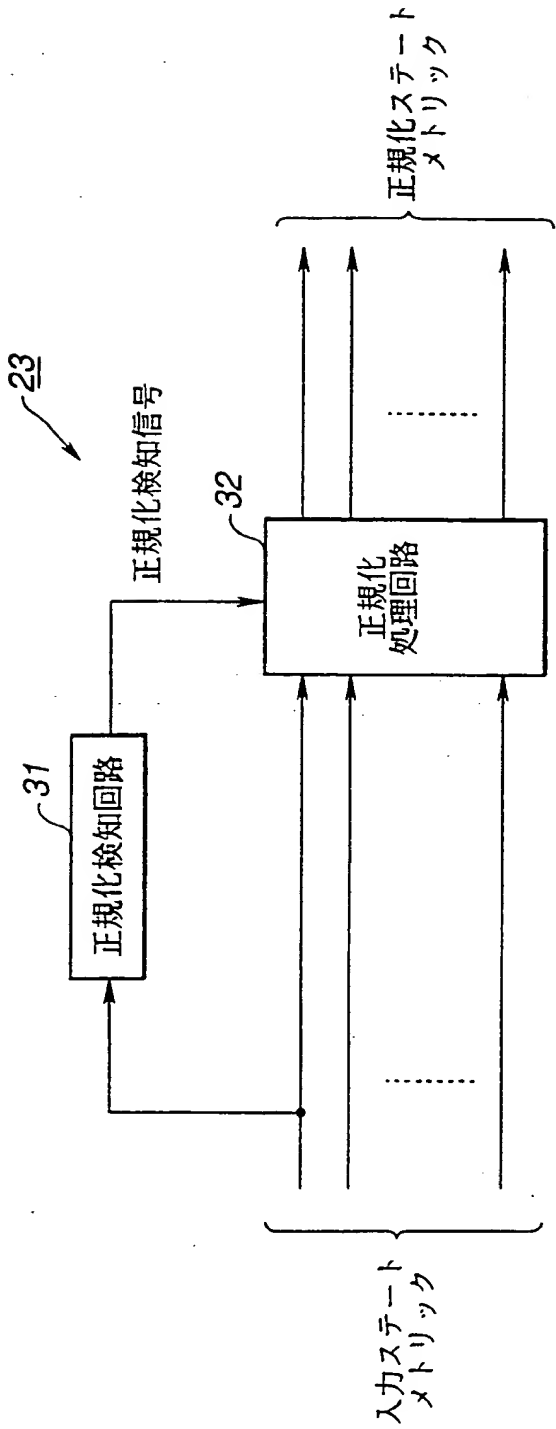


FIG.6

7/12

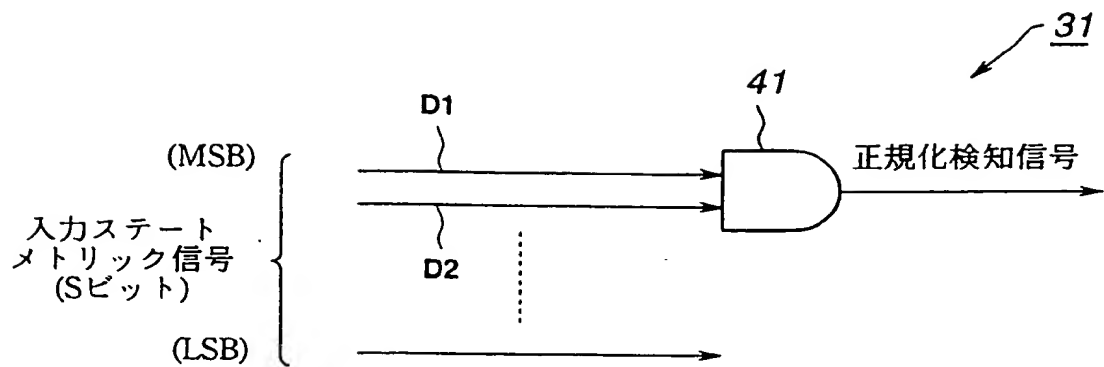


FIG. 7

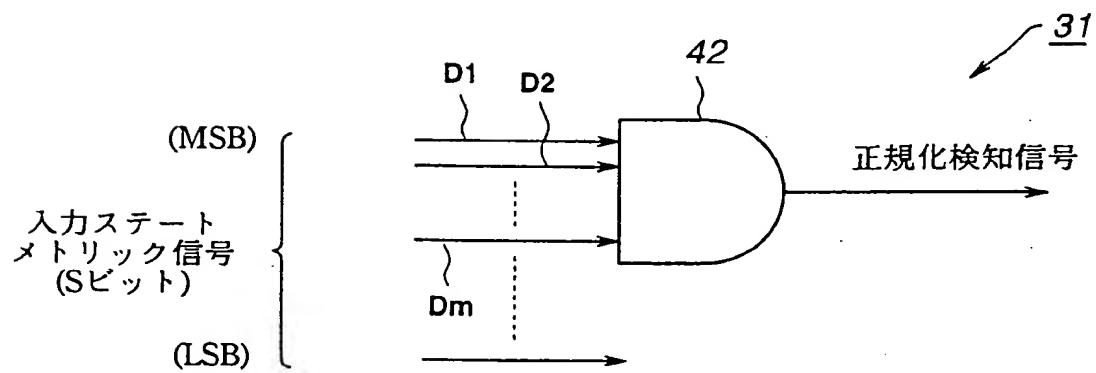


FIG. 8

8/12

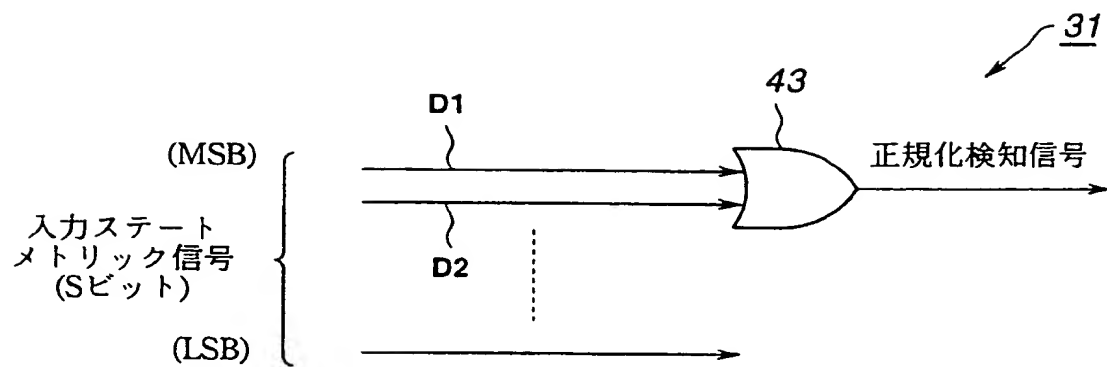


FIG.9

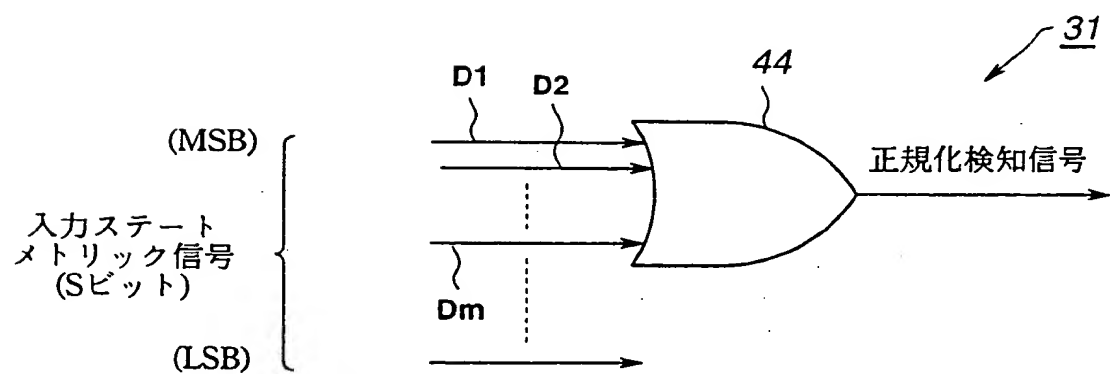


FIG.10

9/12

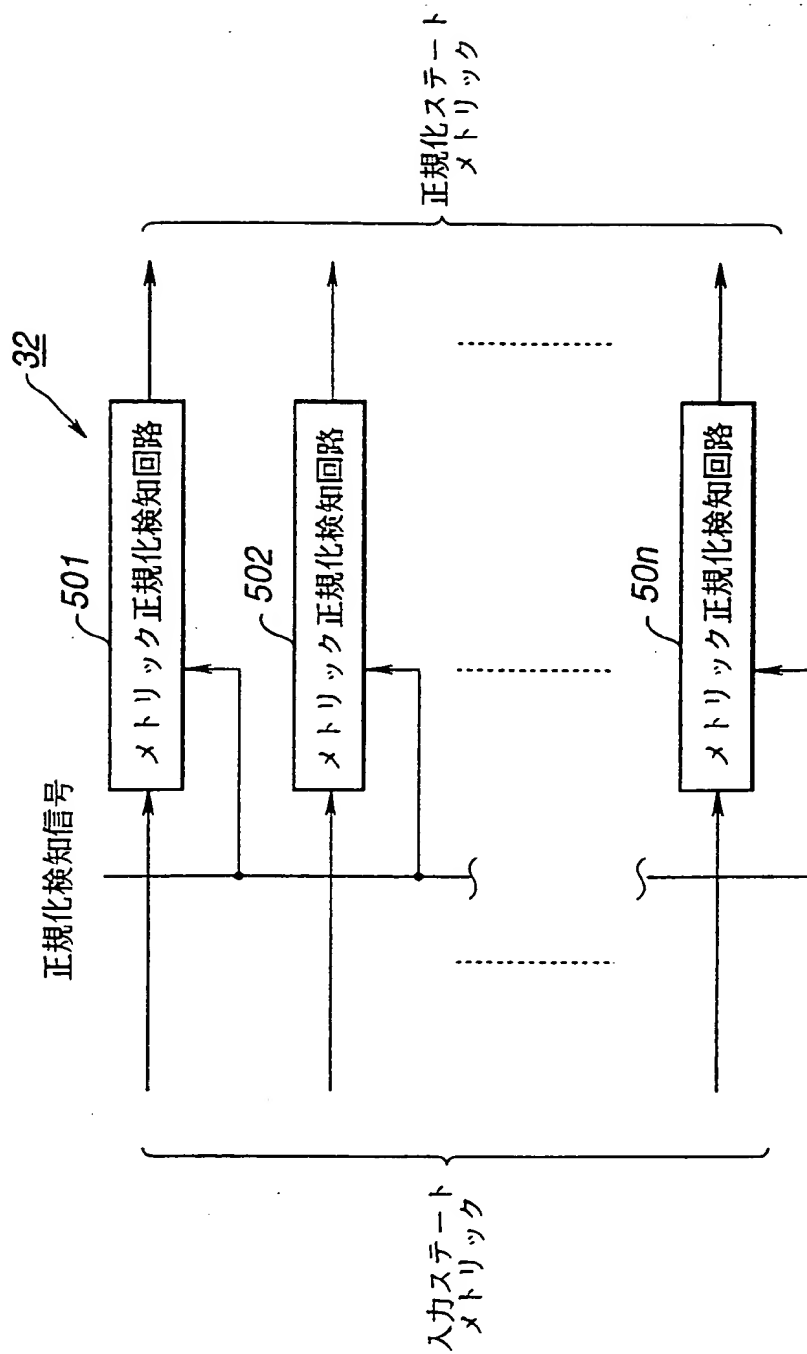


FIG.11

10/12

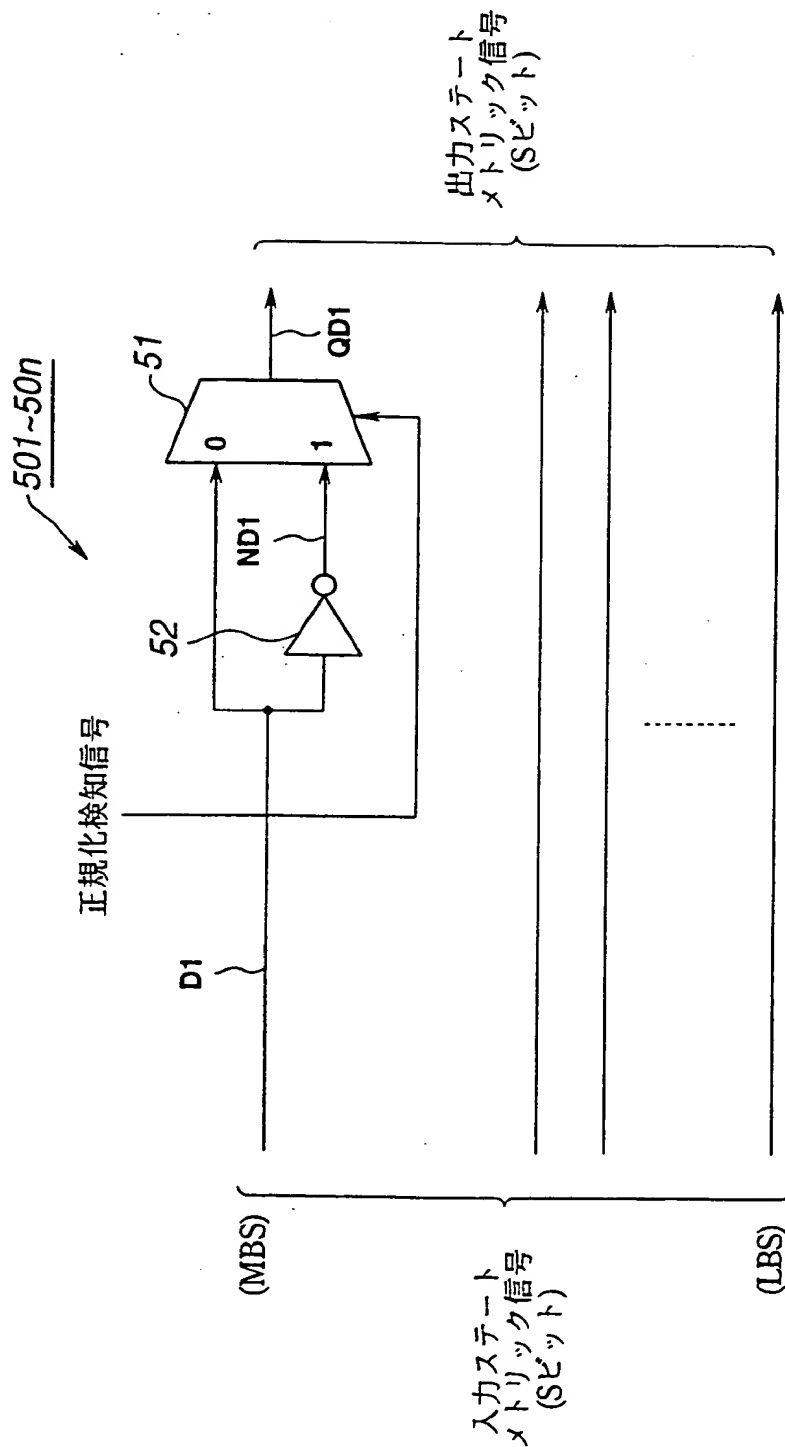


FIG.12

12/12

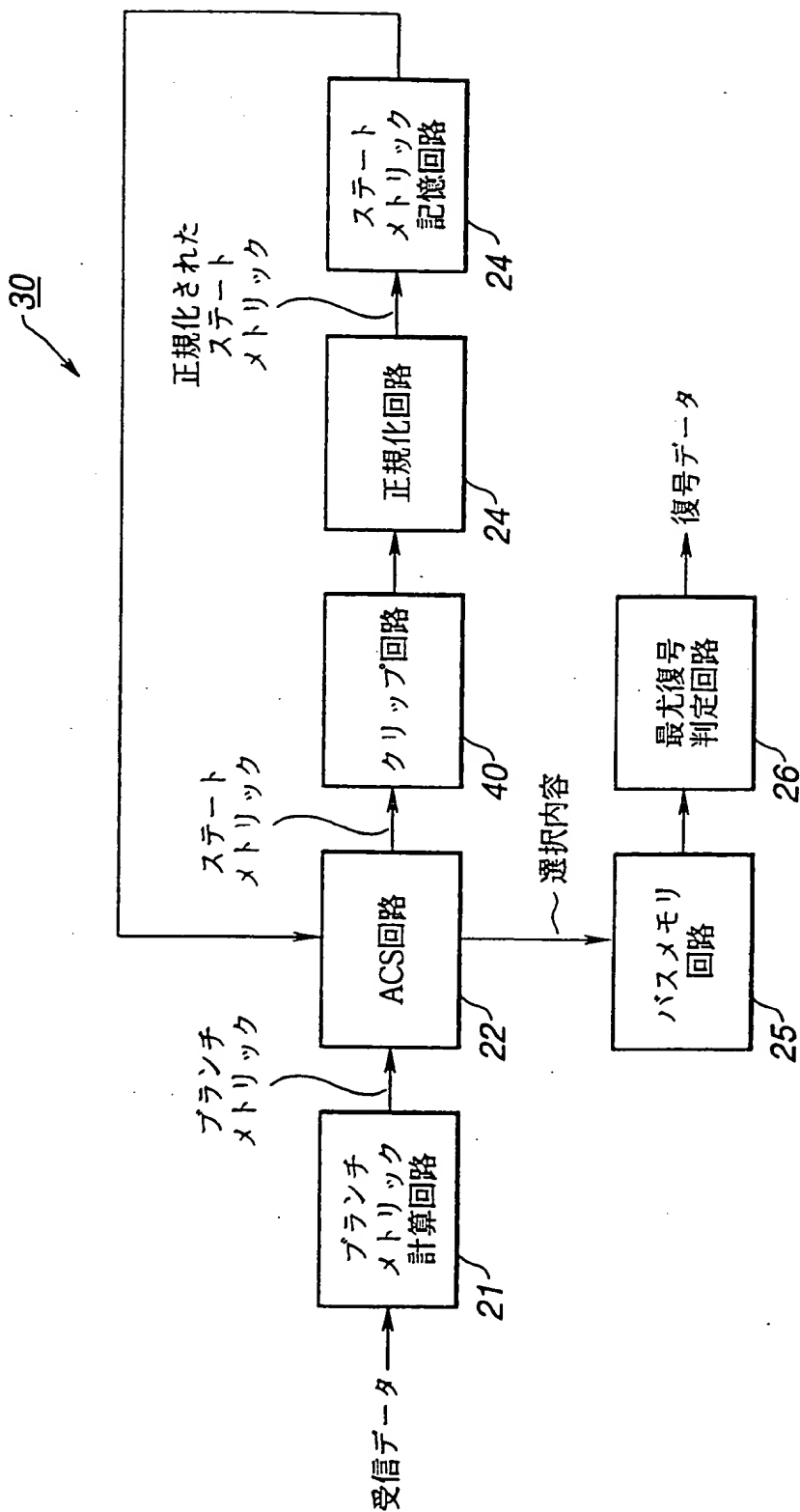


FIG.14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/03858

A. CLASSIFICATION OF SUBJECT MATTER

Int. C1⁶ H03M13/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. C1⁶ H03M13/00-13/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1998

Kokai Jitsuyo Shinan Koho 1971 - 1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 04-20530, B2 (Mitsubishi Electric Corp.), April 3, 1992 (03. 04. 92), Page 3, column 5, lines 35 to 43 (Family: none)	1 - 12
Y	JP, 61-161027, A (Mitsubishi Electric Corp.), July 21, 1986 (21. 07. 86), Page 4, lower left column, lines 3 to 20; page 5, upper right column, line 15 to lower left column, line 9; Figs. 2, 4, 5 (Family: none)	1 - 12
Y	JP, 06-204897, A (Sony Corp.), July 22, 1994 (22. 07. 94), Par. Nos. (0020), (0054); Fig. 5 (Family: none)	3, 9
A	Andrew J. Viterbi, Jim K. Omura, Principles of Digital Communication and Coding, McGraw-Hill, 1979, p. 259, line 36 to p. 260, line 20	1, 7

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

January 14, 1998 (14. 01. 98)

Date of mailing of the international search report

January 27, 1998 (27. 01. 98)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int. Cl ⁸ H03M13/12			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int. Cl ⁸ H03M13/00-13/22			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1926年-1998年 日本国公開実用新案公報 1971年-1998年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	JP, 04-20530, B2 (三菱電気株式会社) 3. 4月. 1992 (03. 04. 92) 第3頁第5欄第35行~第43行 (ファミリーなし)	1-12	
Y	JP, 61-161027, A (三菱電気株式会社) 21. 7月. 1986 (21. 07. 86) 第4頁左下欄第3行~20行, 第5頁右上欄第15行~左下欄第9行, 第2図, 第4図, 第5図 (ファミリーなし)	1-12	
Y	JP, 06-204897, A (ソニー株式会社) 22. 7月. 1994 (22. 07. 94) 段落【0020】, 段落【0054】, 第5図 (ファミリーなし)	3, 9	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」先行文献ではあるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献	
「P」国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日		国際調査報告の発送日	
14. 01. 98		21. 01. 98	
国際調査機関の名称及びあて先		特許庁審査官 (権限のある職員)	
日本国特許庁 (ISA/JP)		稲葉 和生 印	
郵便番号100		5K	8732
東京都千代田区霞が関三丁目4番3号		電話番号 03-3581-1101 内線 3556	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	Andrew J.Viterbi, Jim K.Omura, Principles of Digital Communication and Coding, McGraw-Hill, 1979, p. 259第36行-p. 260第20行	1, 7